

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-158071
(43)Date of publication of application : 25.06.1993

(51)Int.Cl.

G02F 1/136

G02F 1/133

G02F 1/1343

(21)Application number : 03-323500
(22)Date of filing : 09.12.1991

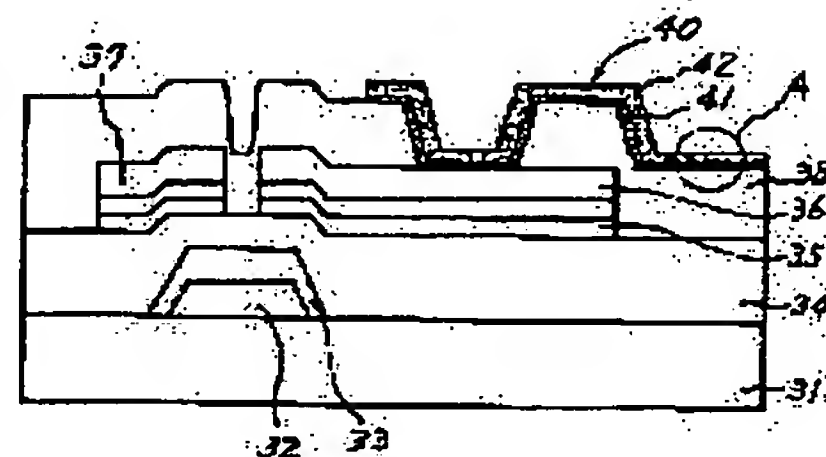
(71)Applicant : OKI ELECTRIC IND CO LTD
(72)Inventor : ITO HIROSHI
KOIZUMI MASUMI
SHIMIZU MARI
NOMOTO TSUTOMU

(54) PRODUCTION OF LOWER SUBSTRATE OF ACTIVE MATRIX LIQUID CRYSTAL DISPLAY

(57)Abstract:

PURPOSE: To obtain the lower substrate of an excellent active matrix liquid crystal display free from display quality defects by preventing the spot defects by the ITO residues of a TFT array which is the lower substrate of the liquid crystal display and the drain disconnection by an ITO etching liquid.

CONSTITUTION: The electrodes for the display consisting of an ITO film of a 1st layer (1st layer display electrode) 41 which is a lower layer are formed by an RF or DC sputtering device using an ITO target ($\text{In}_2\text{O}_3+\text{SnO}_2$) at $\approx 100^\circ\text{C}$ substrate temp. and 50 to 300 \AA ; film thickness without introducing gaseous acid gas at the time of film formation. The electrodes for the display consisting of the ITO film (2nd layer display electrode) which is the upper layer are formed by the RF or DC sputtering device using the ITO target ($\text{In}_2\text{O}_3+\text{SnO}_2$) at $\approx 100^\circ\text{C}$ substrate temp. and 500 to 2000 \AA ; film thickness by introducing the oxygen gas at the time of the film formation. The film quality of the ITO display electrodes 41 of the 1st layer which is the lower layer is made more amorphous than the 2nd layer 42 which is the upper layer.



LEGAL STATUS

[Date of request for examination] 23.02.1995
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 2685086
[Date of registration] 15.08.1997
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-158071

(43)公開日 平成5年(1993)6月25日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	9018-2K	
	1/133	5 5 0	7820-2K	
	1/1343		9018-2K	

審査請求 未請求 請求項の数7(全 5 頁)

(21)出願番号 特願平3-323500

(22)出願日 平成3年(1991)12月9日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 伊藤 浩志

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72)発明者 小泉 真澄

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72)発明者 清水 マリ

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74)代理人 弁理士 清水 守 (外3名)

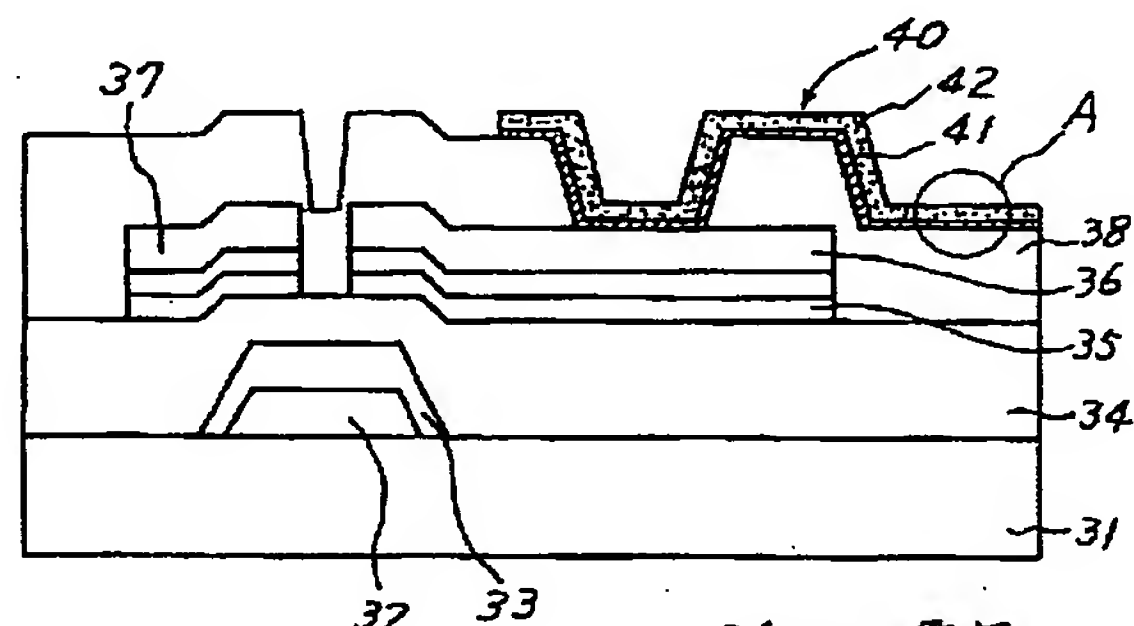
最終頁に続く

(54)【発明の名称】 アクティブマトリックス液晶ディスプレイの下基板の製造方法

(57)【要約】

【目的】 液晶ディスプレイの下基板であるTFTアレイのITO残渣による点欠陥、ITOエッチング液によるドレイン断線防止して表示品質欠陥のない優れたアクティブマトリックス液晶ディスプレイの下基板を得る。

【構成】 下層である第1層目のITO膜(第1層表示電極)41よりなる表示用電極をITOターゲット($\text{In}_2\text{O}_3 + \text{SnO}_2$)を用い、成膜時に酸素ガスを導入せず、 100°C 以下の基板温度で、 $50\sim 300\text{\AA}$ の膜厚で、RF又はDCスパッタ装置で形成する。その後、上層である第2層目のITO膜(第2層表示電極)42よりなる表示用電極は、ITOターゲット($\text{In}_2\text{O}_3 + \text{SnO}_2$)を用い、成膜時に酸素ガスを導入して、 100°C 以下の基板温度で、 $500\sim 2000\text{\AA}$ の膜厚で、RF又はDCスパッタ装置で形成する。この時、下層である第1層目のITO表示電極の膜質は、上層である第2層よりも非晶質化させる。



36: ソース電極
37: ドレイン電極
38: 中間絶縁膜
40: 表示用透明電極
41: 第1層目のITO膜
42: 第2層目のITO膜

【特許請求の範囲】

【請求項1】 透光性絶縁基板上にゲート電極、ゲート絶縁膜、 n^- アモルファスシリコン半導体層、 n^+ アモルファスシリコンオーミック層、ソース・ドレイン電極、中間絶縁膜、表示用透明電極、表面保護膜を含むアモルファスシリコン薄膜トランジスタアレイを有するアクティブマトリックス液晶ディスプレイの下基板の製造方法において、

前記表示用透明電極を膜質の異なる2層のITO膜を積層した構造に形成することを特徴とするアクティブマトリックス液晶ディスプレイの下基板の製造方法。

【請求項2】 前記膜質の異なる2層の積層構造の表示用透明電極のうち、下層である第1層表示電極を50～300Åの膜厚で形成したことを特徴とする請求項1記載のアクティブマトリックス液晶ディスプレイの下基板の製造方法。

【請求項3】 前記膜質の異なる2層の積層構造の表示用透明電極のうち、上層である第2層表示電極を500～2000Åの膜厚で形成したことを特徴とする請求項1記載のアクティブマトリックス液晶ディスプレイの下基板の製造方法。

【請求項4】 前記膜質の異なる2層の積層構造の表示用透明電極のうち、下層である第1層表示電極をITOターゲットを用い、成膜時に酸素ガスを導入せず、100℃以下の基板温度で成膜して、加工し形成したことを特徴とする請求項1記載のアクティブマトリックス液晶ディスプレイの下基板の製造方法。

【請求項5】 前記膜質の異なる2層の積層構造の表示用透明電極のうち、上層である第2層表示電極をITOターゲットを用い、成膜時に酸素ガスを導入して、100℃以下の基板温度で成膜して、加工し形成したことを特徴とする請求項1記載のアクティブマトリックス液晶ディスプレイの下基板の製造方法。

【請求項6】 前記膜質の異なる2層の積層構造の表示用透明電極のうち、下層である第1層表示電極の膜質が、上層である第2層よりも非晶化していることを特徴とする請求項1記載のアクティブマトリックス液晶ディスプレイの下基板の製造方法。

【請求項7】 前記膜質の異なる2層の積層構造の表示用透明電極のうち、上層である第2層表示電極の膜質が、下層である第1層よりも結晶質であることを特徴とする請求項1記載のアクティブマトリックス液晶ディスプレイの下基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アクティブマトリックス液晶ディスプレイの下基板の製造方法に関するものである。

【0002】

【従来の技術】従来、アモルファス（非晶質）シリコン

（ $a-Si$ ）を用いた薄膜トランジスタ（ $a-SiTFT$ ）を内蔵したアクティブマトリックス液晶ディスプレイ（AMLCD）は以下のようにして製造されていた。図3はかかる従来のアクティブマトリックス液晶ディスプレイの断面図である。

【0003】この図に示すように、まず、アクティブマトリックス液晶ディスプレイの下基板となる $a-SiTFT$ 基板（下基板）は、ガラス基板1の上に、クロム（ Cr ）、ニクロム（ $NiCr$ ）、タンタル（ Ta ）よりなる金属層を、スパッタ又は蒸着により、0.1～0.3 μm 程度成膜し、その後、ホトリソエッチングにより、所定の形状に加工することでゲート電極2を形成する。

【0004】その後、ゲート電極膜の所定の部分を所定の膜厚分だけ陽極化成することで、第1ゲート絶縁膜となるタンタル酸化膜（ $TaOx$ ）3を、0.1～0.3 μm の膜厚に形成する。この時の、化成膜の誘電率は25～30である。そして、 NH_3 と SiH_4 ガスを主成分とするプラズマCVD（PCVD）法により、シリコン窒化膜（ $SiNx$ ）を膜厚0.1～0.4 μm 、 SiH_4 ガスを主成分とするPCVD法により半導体層（チャンネル層）となる n^- アモルファスシリコン（ n^-a-Si ）膜を、膜厚0.05～0.2 μm 、そして SiH_4 、 $+PH_3$ ガスを主成分とするPCVD法により、オーミック層となる n^+ アモルファスシリコン（ n^+a-Si ）を、それぞれ基板全面に堆積させる。そして、 n^+a-Si と n^-a-Si 膜を島状の所定の形状に加工することでゲート絶縁膜4と島状の半導体層5を形成する。ゲート絶縁膜4はエッチングせずに、基板全面に残す。

【0005】次に、アルミニウム（ Al ）、クロム（ Cr ）、ニクロム（ $NiCr$ ）等よりなる金属層を、スパッタ又は蒸着により、0.3～1.0 μm 程度成膜し、それを所定の形状に加工することで、ソース電極6及びドレイン電極7を形成する。その後、チャンネル層上の不要な n^+a-Si 層を CF_4 、 $+O_2$ ガスを主成分とするリアクティブ方式（RIE法）などのドライエッチングで除去することで、チャンネル層を形成する。

【0006】そして、PCVD法によりシリコン窒化膜（ $SiNx$ ）等からなる中間絶縁膜8を形成する。その後、ソース電極6と次に形成する透明電極ITO膜との導通のためのコンタクトホールを中間絶縁膜の所定部分に形成する。そしてITO膜（ In_2O_3 、 $+SnO_2$ ）をスパッタ又は蒸着により、0.1 μm 程度基板全面に成膜する。そして H_1 系、 Hcl 系、 $Fec l_3$ 系等のエッチング液を用いて、加工し所定の形状に形成することで表示用電極となる透明電極9を形成する。

【0007】最後に窒化シリコン膜（ $SiNx$ ）を、所定の領域にPCVD法と加工により形成し、表面保護膜とする。以上の透明電極と、 $a-SiTFT$ とを2次元

に配置することで、液晶用a-SiTFTアレイ基板が完成する。以下図示せず。このTFTアレイ基板上に膜厚0.1 μ mのポリイミドよりなる有機膜を形成し、ラビング処理することで、配向処理膜を形成する。その後、セル間隔を均一に形成、保持するために、直径3~10 μ mのスペーサを配向処理膜上に散布することで下基板が完成する。

【0008】一方、上基板（対向電極側）は、以下に示すように形成される。ガラス12の上に光の漏れを防止してコントラストを向上させるためのブラックマトリックス層13を形成する。次いで、印刷又は電着等と加工により、着色層14を形成する。この上に、平坦化層15を形成後、対向電極として膜厚0.1 μ m程度のITO膜よりなる対向透明電極16をスパッタ又は蒸着と加工により所定の形状に形成する。更に、この対向電極上に膜厚0.1 μ m程度のポリイミドよりなる有機膜を形成し、ラビング処理することで、配向処理膜17を形成する。更に、高分子材料絶縁材料（エポキシ系等の材料）にスペーサを混入させた材料を用いた膜厚のスクリーン印刷法により、膜厚5~20 μ mのシール層18を

所定のパターンで形成することで上基板が完成する。

【0009】上下の基板が完成したら、シール層を挟んで、シール層により上下基板を位置合わせし、貼り合わせ、加圧固定し、シール層を加熱硬化させる。更に、シール層の内側を真空脱気した後、所定の注入口より、偏光膜20を所定の位置に貼り付けることでa-SiTFTを用いた液晶ディスプレイが完成する。

【0010】

【発明が解決しようとする課題】しかしながら、従来の製造方法では、ITO膜の微細加工はパターン周辺にITO膜の微細な残渣が残る、困難を要する。特に、バックライトの透過率の良好な膜、つまり結晶性の膜は緻密で、エッチング速度が遅い。そして、残渣（ITOの微細なカス）がパターンエッジに残るため、パターン化し難い。ITO残渣は、表示電極とドレイン電極、ゲート電極間のショートとなり易く、これはディスプレイの点欠陥となる。ITO膜を微細に精度良くパターン加工するには、エッチング液の温度を室温から40~50℃に上げ、エッチングを促進することで解決する。

【0011】しかし、この方法（エッチング液温度上昇）では、SiN中間絶縁膜のピンホール等から浸入したITOエッチング液により、Alからなるドレイン電極がダメージを受けエッチングされ、ドレイン電極が断線しやすいという、逆効果になるという問題点があった。この点欠陥、線欠陥の問題点は、大面積化、大容量化、高精細化となるにしたがって顕著となる。

【0012】本発明は、上記問題点を除去し、液晶ディスプレイの下基板であるTFTアレイのITO残渣による点欠陥、ITOエッチング液によるドレイン断線を防止して表示品質欠陥のない優れたアクティブマトリックス

ス液晶ディスプレイの下基板の製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明は、上記目的を達成するために、透光性絶縁基板上にゲート電極、ゲート絶縁膜、n⁻アモルファスシリコン半導体層、n⁺アモルファスシリコンオーミック層、ソース・ドレイン電極、中間絶縁膜、表示用透明電極、表面保護膜を含むアモルファスシリコン薄膜トランジスタアレイを有するアクティブマトリックス液晶ディスプレイの下基板の製造方法において、前記表示用透明電極を膜質の異なる2層のITO膜を積層した構造で形成するようにしたものである。

【0014】

【作用】本発明によれば、上記のように、液晶ディスプレイの下基板であるa-SiTFTアレイの製造方法において、ITOよりなる表示電極を異質な2層の積層したITO膜で形成する。これにより、点欠陥、線欠陥を低減することができる。

【0015】

【実施例】以下、本発明の実施例について図を参照しながら詳細に説明する。図1は本発明の実施例を示す液晶ディスプレイの下基板の断面図、図2は図1のA部拡大断面図である。この図に示すように、まず、アクティブマトリックス液晶ディスプレイの下基板となるa-SiTFT基板（下基板）は、ガラス基板31の上に、Cr、NiCr、Taよりなる金属層を、スパッタ又は蒸着により、0.1~0.3 μ m程度成膜し、その後、ホトリソエッチングにより、所定の形状に加工することで、ゲート電極32を形成する。

【0016】その後、ゲート電極膜の所定の部分を所定の膜厚分だけ陽極化成することで、第1ゲート絶縁膜となるタンタル酸化膜（TaOx）33を、0.1~0.3 μ mの膜厚に形成する。この時の、化成膜の誘電率は25~30である。そして、NH₃とSiH₄ガスを主成分とするプラズマCVD（PCVD）法により、シリコン窒化膜（SiNx）を膜厚0.1~0.4 μ m、SiH₄ガスを主成分とするPCVD法により半導体層（チャンネル層）となるn⁻アモルファスシリコン（n⁻a-Si）膜を、膜厚0.05~0.2 μ m、そしてSiH₄+PH₃ガスを主成分とするPCVD法により、オーミック層となるn⁺アモルファスシリコン（n⁺a-Si）を、それぞれ基板全面に堆積させる。そして、n⁺a-Siとn⁻a-Si膜を島状の所定の形状に加工することでゲート絶縁膜34と島状の半導体層35を形成する。ゲート絶縁膜34はエッチングせずに、基板全面に残す。

【0017】次に、Al、Cr、NiCr等よりなる金属層を、スパッタ又は蒸着により、0.3~1.0 μ m程度成膜し、それを所定の形状に加工することで、ソー

ス電極36及びドレイン電極37を形成する。その後チャンネル層上の不要な n^+a-Si 層を $CF_4 + O_2$ ガスを主成分とするリアクティブ方式(RIE法)などのドライエッチングで除去することで、チャンネル層を形成する。

【0018】そして、PCVD法によりシリコン窒化膜(SiN_x)等からなる中間絶縁膜38を形成する。その後、ソース電極36と次に形成する透明電極ITO膜との導通のためのコンタクトホールを中間絶縁膜の所定部分に形成する。次に、ITOよりなる表示用透明電極

の形成方法について述べる。
【0019】表示用透明電極40を、膜質の異なる2層のITO膜を積層した構造で形成する。2層の内、まず、下層である第1層目のITO膜(第1層表示電極)41よりなる表示用電極をITOターゲット($In_2O_3 + SnO_2$)を用い、成膜時に酸素ガスを導入せず、 $100^\circ C$ 以下の基板温度で、 $50 \sim 300 \text{ \AA}$ の膜厚で、RF又はDCスパッタ装置で形成する。その後、引き続き真空を破らず連続して上層である第2層目のITO膜42を成膜する。

【0020】上層である第2層目のITO膜42(第2層表示電極)よりなる表示用電極は、ITOターゲット($In_2O_3 + SnO_2$)を用い、成膜時に酸素ガスを導入して、 $100^\circ C$ 以下の基板温度で、 $500 \sim 2000 \text{ \AA}$ の膜厚で、RF又はDCスパッタ装置で形成する。この時、2層のITO膜の膜質は、下層である第1層目のITO表示電極の膜質は、上層である第2層よりも非晶質化させるためエッチングし易いが、逆にバックライトの透過率が低い。

【0021】一方、上層である第2層目のITO膜42よりなる表示電極の膜質は、下層である第1層よりも結晶化させるためエッチングはし難いが、バックライトの透過率は良好である。非晶質化している下層のITO膜41は、エッチングし易いので残渣はない。したがって、この2層構造ITO膜のホトリソ、エッチングは、従来の手段で行なう。つまり、エッチングは室温で可能であるため、A1よりなるドレイン電極37のダメージはない。そして以後の工程、つまり最後の表面保護膜形成は、従来技術で行う。これにより、透明電極付TFTが完成する。

【0022】以上の透明電極付き $a-Si$ TFTを2次元的に配置することで、 $a-Si$ TFTアレイ基板(下基板)が完成する。これ以降の工程、つまり対向電極基板(上基板)、及びセル化工程は従来技術と同一である。このようにして液晶ディスプレイが完成する。また、本発明は上記実施例に限定されるものではなく、本

発明の趣旨に基づき種々の変形が可能であり、それらを本発明の範囲から排除するものではない。

【0023】

【発明の効果】以上詳細に説明したように、本発明によれば、2層構造ITO膜のうち非晶質化している下層ITO膜は、室温でもエッチングし易い。このエッチングし易いITO膜を2層の下層に配置しているため、2層構造ITO膜のエッチング残渣はない。異質なITO膜を2層で積層したことにより、容易にITO膜をエッチングすることができ、微細なパターンを形成することができる。その結果、ITOエッチングにからむ点欠陥、及び線欠陥を大幅に低減することができ、表示欠損がなくなり、表示品質の向上を図ることができる。

【0024】また、透過率の低いITO膜は、 $50 \sim 300 \text{ \AA}$ と非常に薄いため、バックライトの障害にはならず、各波長の吸収による光量低下は微小である。更に、透過率の高い $500 \sim 2000 \text{ \AA}$ のITO膜は、膜厚をかせぎ、 SiN コンタクトホール段差部分の段切れを防止する役目を持つ。また、下層ITO膜による光量低下が微小であるため、RGBカラーフィルタ基板を用いたカラー液晶ディスプレイでも、色度の変動は微小であり、良好なカラー表示を行うことができる。

【0025】このように、下層のITO膜は、ITOの残渣がない微細エッチング性向上のため配置され、上層ITO膜は、透過率アップとコンタクトホールの段切れ防止を図ることができ、高品質のカラー液晶ディスプレイを得ることができる。

【図面の簡単な説明】

【図1】本発明の実施例を示す液晶ディスプレイの下基板の断面図である。

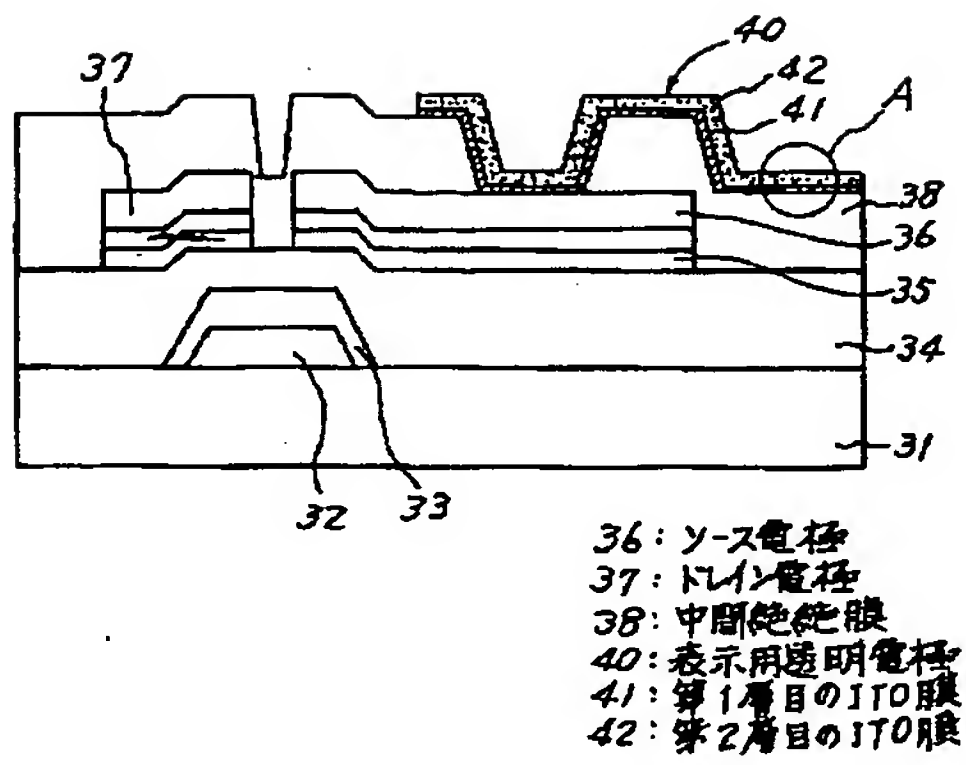
【図2】図1のA部拡大断面図である。

【図3】従来のアクティブマトリックス液晶ディスプレイの断面図である。

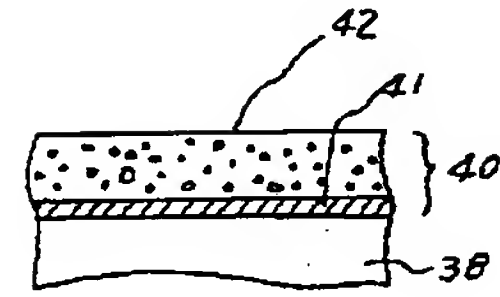
【符号の説明】

- 31 ガラス基板
- 32 ゲート電極
- 33 タンタル酸化膜(TaO_x)
- 34 ゲート絶縁膜
- 35 島状の半導体層
- 36 ソース電極
- 37 ドレイン電極
- 38 中間絶縁膜
- 40 表示用透明電極
- 41 第1層目のITO膜(第1層表示電極)
- 42 第2層目のITO膜(第2層表示電極)

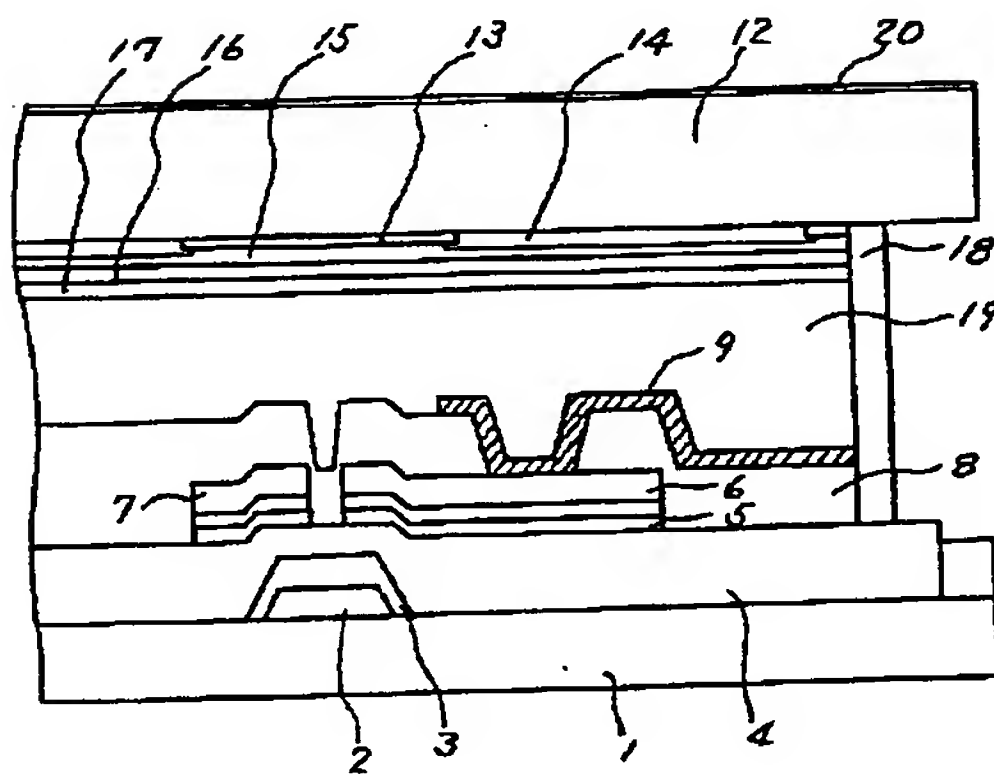
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 野本 勉
 東京都港区虎ノ門1丁目7番12号 沖電気
 工業株式会社内